**Министерство науки и высшего образования Российской Федерации**

**Федеральное государственное бюджетное образовательное учреждение**

**высшего образования**

**«Московский государственный технический университет имени Н.Э. Баумана**

**(национальный исследовательский университет)» (МГТУ им. Н.Э. Баумана)**

|  |  |
| --- | --- |
| ФАКУЛЬТЕТ | Информатика и системы управления |
| КАФЕДРА | Информационная безопасность (ИУ8) |

ЭЛЕКТРОНИКА И СХЕМОТЕХНИКА

**Лабораторная работа №3 на тему:**

«Преобразователи двоичного кода в двоично-десятичный код»

Вариант: 9

**Выполнил:**

Овсепян А. Н.

**Проверил:**

Ковынёв Н. В.

**Группа:**

ИУ8-63

**Цель работы** – исследование принципов построения преобразователей двоич- ного кода в двоично-десятичный код.

**Теоретическая часть**

**1. ПРИНЦИПЫ ПОСТРОЕНИЯ ПРЕОБРАЗОВАТЕЛЯ ДВОИЧНОГО КОДА В ДВОИЧНО-ДЕСЯТИЧНЫЙ КОД**

В качестве элементарных преобразователей двоичного кода в двоично- десятичный код можно использовать преобразователи двоично-десятичного в двоичный код с четырьмя входами и четырьмя выходами, а также с четырьмя входами и пятью выходами, произведя взаимную замену соответствующих весов, указанных на дополнительных полях (рис. 1. а, б).

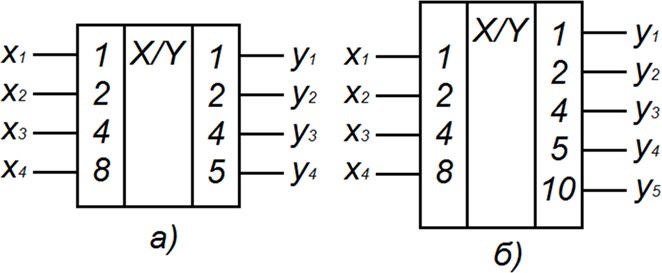


Рис.1 УГО элементарных преобразователей двоичного кода в двоично- десятичный код: а —с четырьмя входами и четырьмя выходами, б — четырьмя входами и пятью выходами

Рассмотрим преобразователь, имеющий четыре входа и четыре выхода (рис.

1. , а). Он должен выполнять функцию, обратную функции преобразования двоично-десятичного кода в двоичный код, т. е. при X ≥ 5 надо производить сложение числа X = (x4, х3, х2, х1) с числом 3. Таким образом, данный преобразователь выполняет функцию:

Y = { 𝑋, если 0 ≤ 𝑋 ≤ 4,

𝑋 + 3, если 5 ≤ 𝑋 ≤ 9.

(1)

Числа 10,…, 15 не могут появляться на входе данного преобразователя.

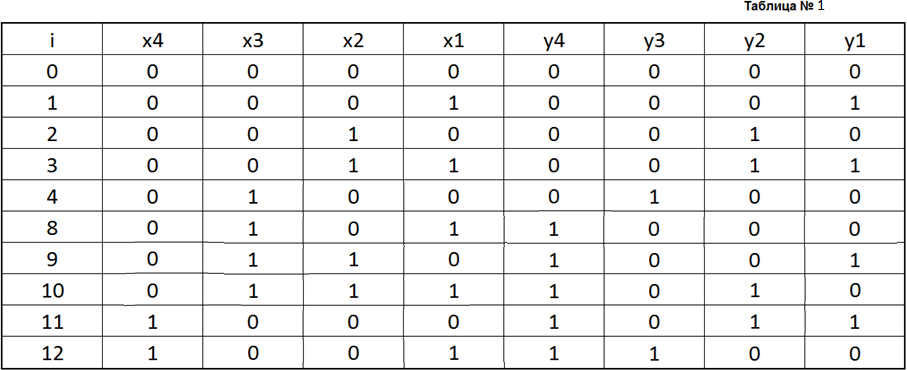
# ПРАВИЛА СОСТАВЛЕНИЯ ПРЕОБРАЗОВАТЕЛЕЙ ДВОИЧНОГО КОДА В ДВОИЧНО-ДЕСЯТИЧНЫЙ КОД:

* + веса разрядов входных сигналов всех преобразователей кодов должны находиться в отношении 1:2:4:8;
  + так как каждый преобразователь кодов преобразует только один двоичный разряд в двоично-десятичный разряд (вес 8 изменяется на вес 5), то преобразователь двоичного кода в двоично-десятичный код имеет пирамидальную структуру;
  + построение пирамиды продолжается до тех пор, пока не будут получены веса 𝟏𝟎𝒋 21, где j = 0, 1,2, ... (за исключением старшего десятичного разряда);
  + на преобразователи нельзя подавать двоичные числа, превышающие сумму весов выходных сиг-налов 5 + 4 + 2 + 1 = 12.

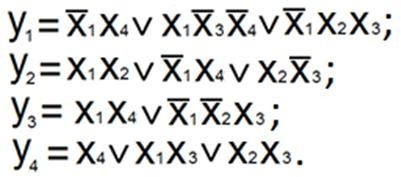
Последнее правило относится к преобразователям, составляющим нижний ряд схемы преобразователя двоичного кода в двоично-десятичный. По этим правилам можно составить схему преобразователя для любого n-разрядного двоичного числа.

# СИНТЕЗ ПРЕОБРАЗОВАТЕЛЯ КОДОВ

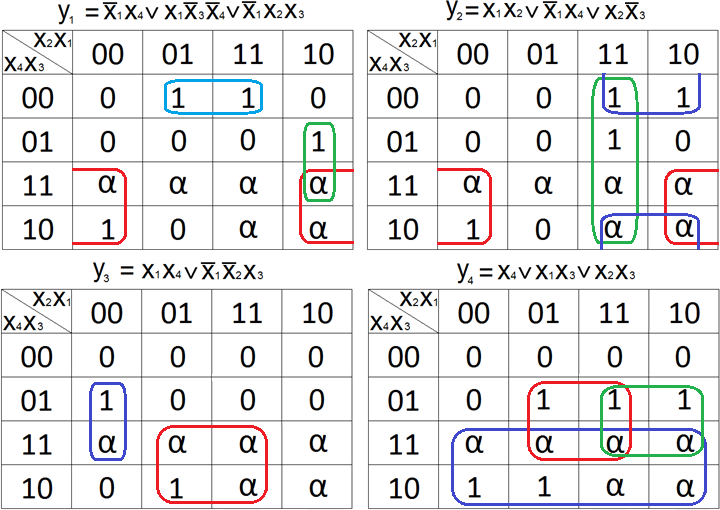
Выполним синтез преобразователя, описываемого соотношением (1), услов- ное графическое обозначение которого представлено на рис. 1а. Для этого по функции составим таблицу истинности (табл. 1).



Сделаем синтез преобразователя кодов, задаваемого соотношением (1), кото- рому соответствует таблица истинности (табл. 1), приведенная выше. Составим диаграммы Карно (или Вейча) для функций у1, ..., у4, минимизируем и получим выражения:



Для определенности используем диаграммы Карно.



Если провести преобразование уравнений логики работы преобразователя и привести их к базису И-НЕ, то можно построить схему, приведенную на рис.2.

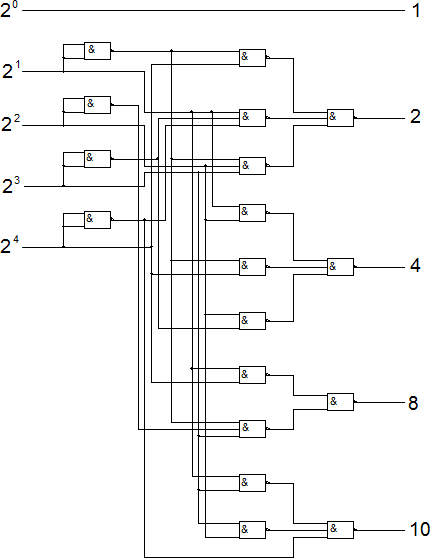


Рис.2 Схема элементарного преобразователя двоичного кода в двоично-деся- тичный код с четырьмя входами и четырьмя выходами

Поскольку двоичные сумматоры выполняют более сложные функции, чем ло- гические элементы И-НЕ (ИЛИ-НЕ), то рассмотрим синтез преобразователя, опи- сываемого соотношением (1), на двоичных сумматорах.

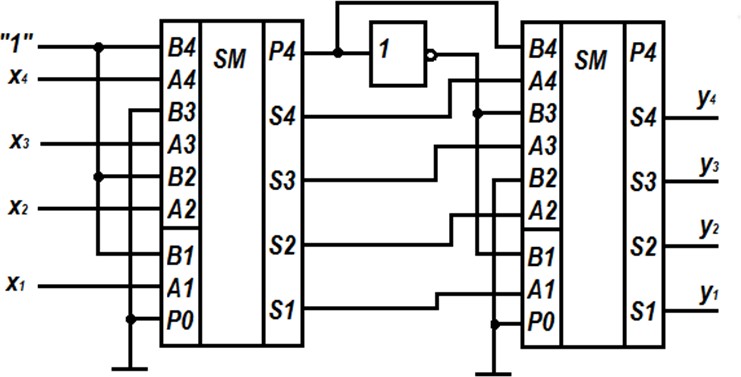


Рис.3 Схема элементарного преобразователя двоичного кода в двоично-деся- тичный с четырьмя входами и четырьмя выходами, выполненная на четырехраз- рядных сумматорах

Так как при 5 ≤ X ≤ 9 функция Y = X + 3, то необходимость операции сумми- рования с числом 3 можно установить с помощью сумматора, вычисляющего сумму X + 11, поскольку при X ≥ 5 возникает перенос Р4 = 1, а при X < 5 - перенос P4 = 0. Тогда, использовав второй двоичный сумматор (рис. 3), легко реализовать функцию, описываемую соотношением (1). Действительно, при Р4 = 0 второй дво- ичный сумматор вычисляет сумму (X + 11) + 5 = 16 + X. Так как выходами схемы являются выходы второго сумматора S1, S2, S3, S4, то число 16, которое появля- ется на выходе Р4, теряется. Если же Р4 = 1, то второй двоичный сумматор вычис- ляет сумму (X + 11) + 8 = X + 19 = 16 + + (X + 3). Итак, схема на рис. 3 действи- тельно выполняет функцию описываемую соотношением (1).

Выполним синтез такого же преобразователя на сдвоенных четырехканальных мультиплексорах (см. рис. 4). Для этого будем считать, что сложность получаемой в результате синтеза комбинационной схемы зависит от выбора переменных, ис- пользуемых в качестве адресных переменных мультиплексора. Если в качестве ад- ресных переменных для функций y1 и y4 использовать переменные x1 и x3, а для функций у2 и у3 — переменные х1 и х2, то будет получена наиболее экономичная комбинационная схема.

Для мультиплексоров, реализующих функции выходов:

у1 и у4 (см. рис.4) А0 = 1, А1 = х2, А2 = А3 = х4, В0 = 0, В1 = х2, В2 = х̅̅4̅, В3 = х4;

у2 и у3 (см. рис.4) А0 = 1; А2 = х̅̅3̅, А2 = 0, А3 = х4, В0 = В1 = 0, В2 = х4, В3

= х3.

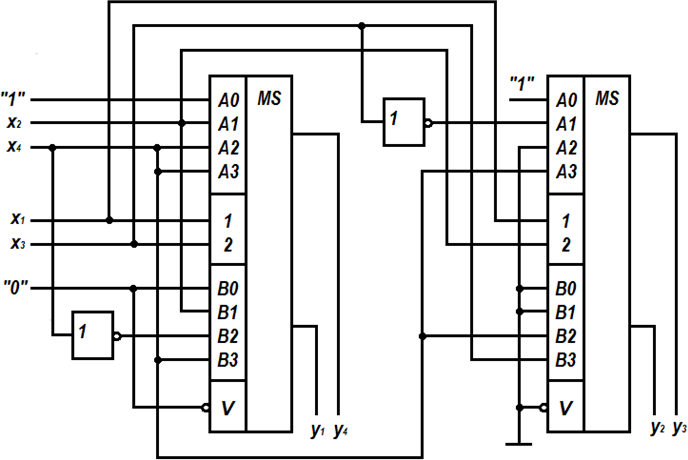


Рис.4 Схема элементарного преобразователя двоичного кода в двоично-деся- тичный код с четырьмя входами и четырьмя выходами на двух сдвоенных четы- рехканальных мультиплексорах

Недостатком рассмотренных преобразователей кодов с четырьмя входами и четырьмя выходами является то, что сумма весов входных сигналов (8 + 4 + 2 + 1 = 15) больше, чем сумма весов выходных (5 + 4 + 2 + 1 = 12), что вызывает необходимость подачи сигнала «0» на некоторые преобразователи.

На рис. 5, также как и на рис. 1 б, показан элементарный преобразователь ко- дов, имеющий четыре входа и пять выходов, сумма весов выходных сигналов ко- торого (10 + 5 + 4 + 2 + 1 = 22) больше суммы весов входных сигналов (8 + 4 + 2

+ 1 = 15). Такой преобразователь позволяет уменьшить число микросхем, ис- пользуемых для построения преобразователя двоичного кода в двоично-десятич- ный код (рис. 6), так как на значения двоичных чисел, подаваемых на входы эле- ментарных преобразователей, сняты ограничения.

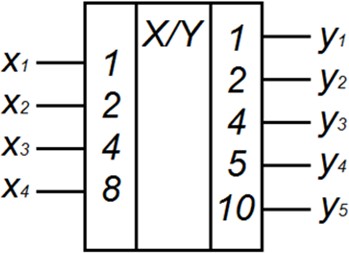


Рис. 5 Элементарный преобразователь кодов, имеющий четыре входа и пять выходов

На рис. 6 показан преобразователь кодов, имеющий пять входов и шесть вы- ходов с дополнительным стробирующим входом. Такой преобразователь реали- зован на микросхеме К155ПР7, которая выполнена в виде ПЗУ. Понятно, что чем больше двоичных разрядов преобразуется в двоично-десятичные разряды, тем проще будет схема преобразователя многоразрядного двоичного кода в много- разрядный двоично-десятичный код.

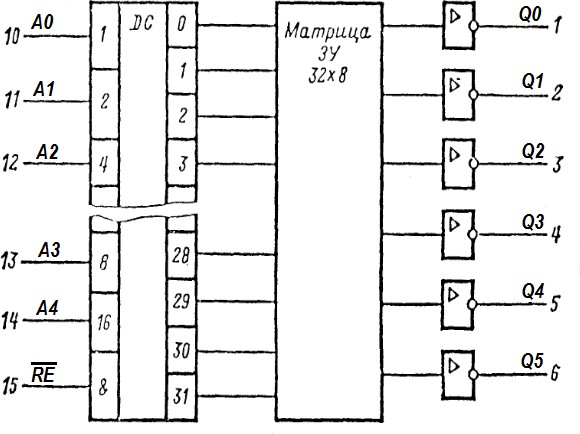


Рис. 6 Элементарный преобразователь кодов, имеющий пять входов и шесть выходов, реализованный на микросхеме К155ПР7

ИМС К155ПР7 построена по тому же принципу, что и К155ПР6, но отлича- ется обратным действием, т.е. преобразует двоичный код на входах в двоично- десятичный код на выходах. Двоичный код подается на входы А0...А4. Вход раз- решения RЕ используется также, как и в ИМС К155ПР6.

Выходы Q6 и Q7 у данной микросхемы не коммутируются и всегда имеют высокие выходные уровни напряжения.

Таблица истинности работы микросхемы К155ПР7 приведена на рис.7.

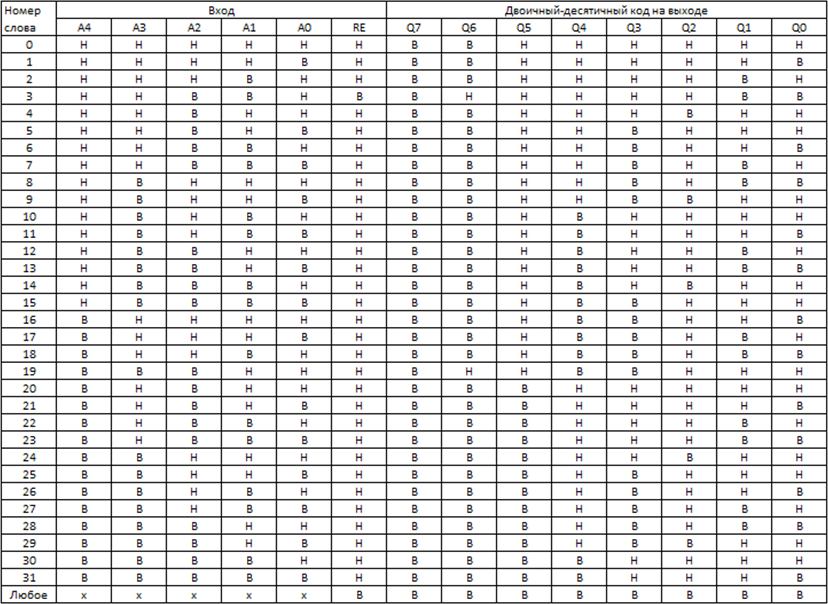
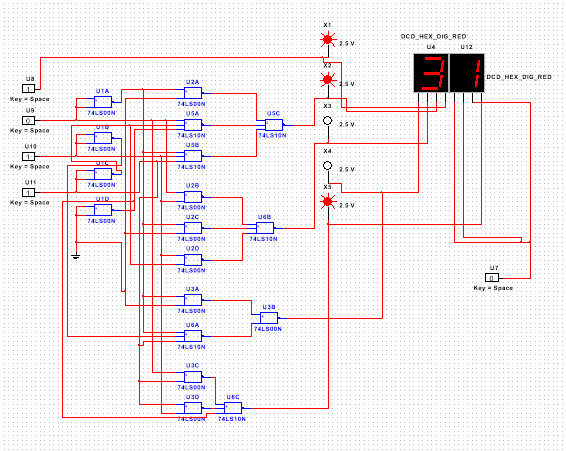


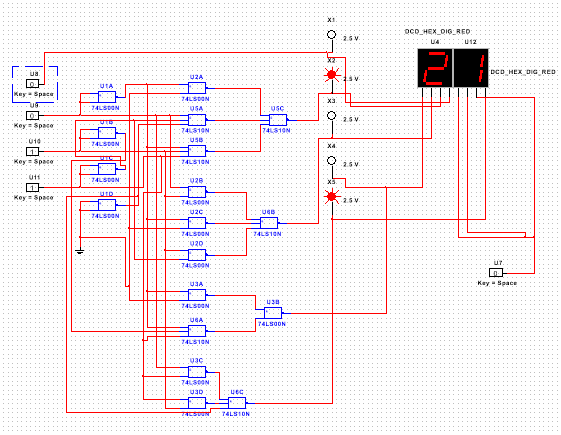
Рис. 7 Таблица истинности работы микросхемы К155ПР7

**Практическая часть**

**Задание 1.** Ознакомьтесь с вариантом задания. Cоберите на рабочем поле среды Multisim схему для исследования элементарного преобразователя двоичного кода в двоично-десятичный (0-15) с четырьмя входами и четырьмя выходами (рис. 8), на элементах И-НЕ.

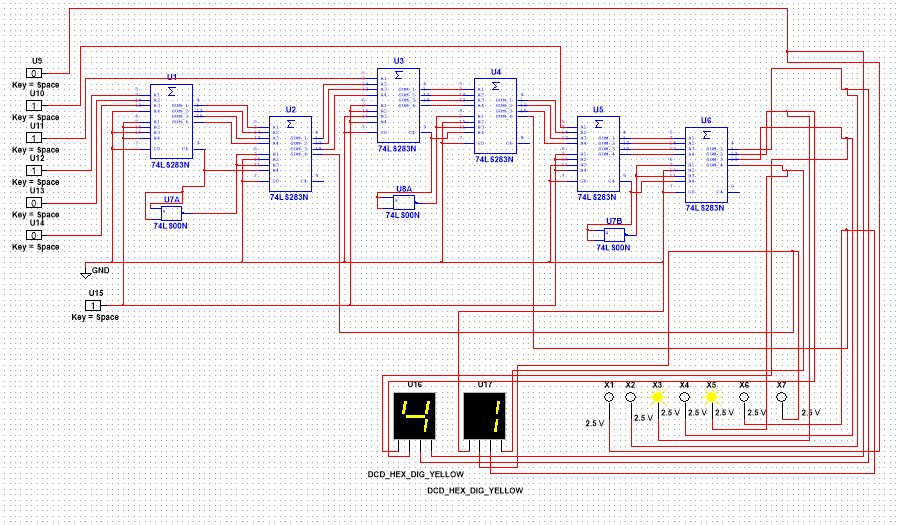
Состав схемы: интерактивные цифровые константы; схемы логики 2И-НЕ, 3И-НЕ, пробники, семисегментные индикаторы.

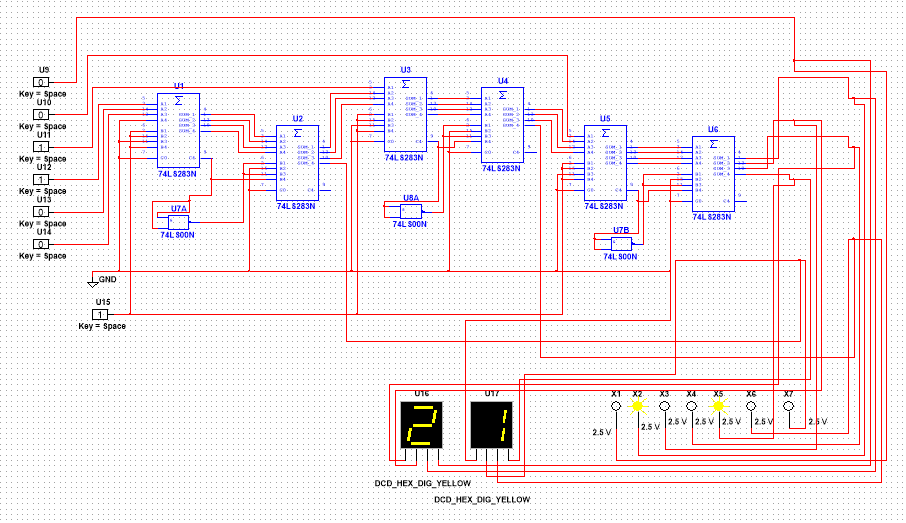
****

****

**Задание 2.** Ознакомьтесь с вариантом задания. Cоберите на рабочем поле среды Multisim схему для исследования преобразователя 6-ти разрядного двоичного кода в двоично-десятичный (0-63), рис. 7, на четырехразрядных сумматорах.

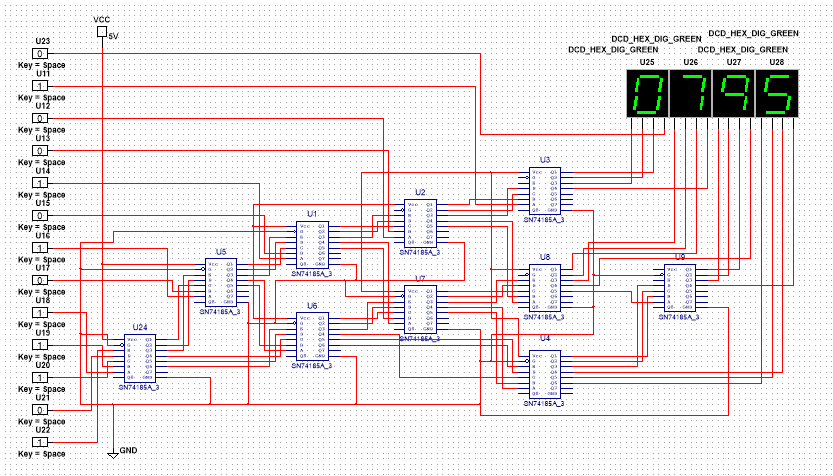
Состав схемы: интерактивные цифровые константы; четырехразрядные сумматоры, пробники, семисегментные индикаторы.

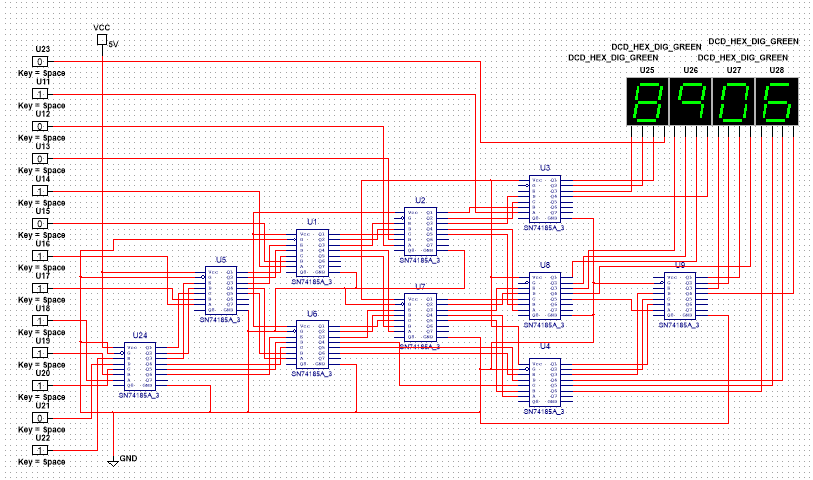


****

**Задание 3.** Ознакомьтесь с вариантом задания. Cоберите на рабочем поле среды Multisim схему для исследования преобразователя 13-ти разрядного двоичного кода в двоично-десятичный (рис. 8), на микросхемах SN74185 (аналог микросхемы К155ПР7).

Состав схемы: интерактивные цифровые константы; микросхемы SN74185, пробники, семисегментные индикаторы.

****

****

# Вывод.

В результате выполнения лабораторной работы были исследованы принципы построения преобразователей двоичного кода в двоично-десятичного код.